

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-134886

(43)Date of publication of application : 21.05.1999

(51)Int.Cl. G11C 16/04
 H01L 27/115
 H01L 21/8247
 H01L 29/788
 H01L 29/792

(21)Application number : 09-299167

(71)Applicant : SHARP CORP

(22)Date of filing : 30.10.1997

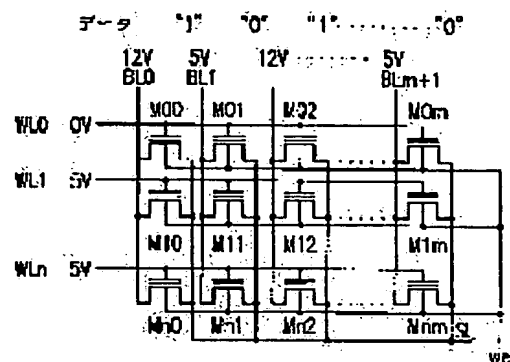
(72)Inventor : HIRANO YASUAKI

(54) NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a nonvolatile semiconductor memory device in which a positive voltage is used when data are written and erased and a negative voltage pump is eliminated and which, as a result, enables the reduction of a layout area.

SOLUTION: When data are written into memory cells M00-M0m connected to a word line WL0, the voltage of the word line WL0 is used as a reference voltage Vss (for instance 0 V) and voltage Vpp (for instance 12 V), Vpd (for instance 5 V), Vpp,...Vpd are applied to bit lines BL0, BL1, BL2,...BLn respectively. At that time a well voltage is Vpd and a common source is in a floating state. Further, all the voltages of nonselective word lines WL1-WLn are Vpd. Data are written in accordance with those conditions.



LEGAL STATUS

[Date of request for examination]

02.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-134886

(43) 公開日 平成11年(1999) 5月21日

(51) Int.Cl.⁴

識別記号

F I

G 1 1 C 16/04

G 1 1 C 17/00

6 2 1 B

H 0 1 L 27/115

6 2 1 C

21/8247

H 0 1 L 27/10

4 3 4

29/788

29/78

3 7 1

29/792

審査請求 未請求 請求項の数 6 O L (全 14 頁)

(21) 出願番号

特願平9-299167

(22) 出願日

平成9年(1997)10月30日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 平野 恭章

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

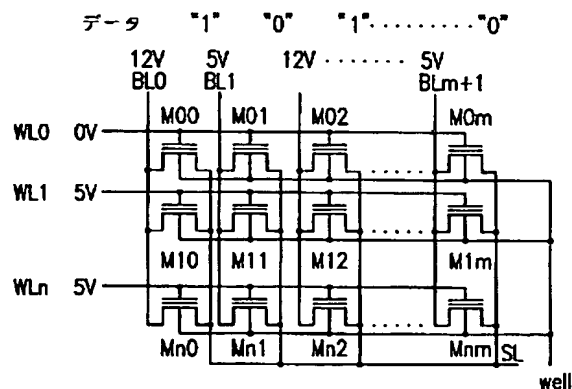
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 データの書き込み動作時及び消去動作時に正の電圧を用い、負電圧ポンプを不要とし、結果的にレイアウト面積を低減できる不揮発性半導体記憶装置を提供する。

【解決手段】 ワード線WL0につながるメモリセルM00～M0mに書き込みを行う場合は、ワード線WL0を基準電圧Vss（例えば、0V）とし、ビット線BL0、BL1、BL2、…BLnにそれぞれVpp（例えば、12V）、Vpd（例えば、5V）、Vpp、…Vpdを印加する。この時、ウェル電圧はVpdであり、共通ソースをフローティング状態とする。また、非選択ワード線WL1～WLnの電圧は全てVpdである。この条件により、データの書き込みが行われる。



【特許請求の範囲】

【請求項1】 データの書き込み動作及び消去動作をF Nトンネル現象を利用して行う不揮発性半導体記憶装置であって、

ワード線群とビット線群が直交し、その交点にスタックゲート型のメモリセルがマトリクス状に配置され、該メモリセルのコントロールゲートがワード線に接続され、ドレインがビット線に接続され、且つマトリクス状に配置された全てのメモリセルのソースが共通接続されたメモリアレイ群からなり、該メモリセルの該コントロールゲートを基準電圧とし、該メモリセルが形成されているウエルに第1の電圧、該ドレインに第2の電圧を印加することによってデータの書き込みを行う一方、該コントロールゲートに第3の電圧を印加し、該ウエルを基準電圧とすることによってデータの消去を行う不揮発性半導体記憶装置において、

該第1の電圧、該第2の電圧及び該第3の電圧が全て正の高電圧であり、且つ該第2の電圧が該第1の電圧よりも高く設定されている不揮発性半導体記憶装置。

【請求項2】 データの書き込み動作及び消去動作をF Nトンネル現象を利用して行う不揮発性半導体記憶装置であって、

ワード線群とビット線群が直交し、その交点にスタックゲート型のメモリセルがマトリクス状に配置され、該メモリセルのコントロールゲートがワード線に接続され、ドレインがビット線に接続され、ソースが隣接するメモリセルのビット線に接続された仮想接地型メモリセルアレイ群からなり、F Nトンネル現象を利用して、該メモリセルの該コントロールゲートを基準電圧とし、該メモリセルが形成されているウエルに第1の電圧、該ドレインに第2の電圧を印加することによってデータの書き込みを行う一方、該コントロールゲートに第3の電圧を印加し、該ウエルを基準電圧とすることによってデータの消去を行う不揮発性半導体記憶装置において、該第1の電圧、該第2の電圧及び該第3の電圧が全て正の高電圧であり、且つ該第2の電圧が該第1の電圧よりも高く設定されている不揮発性半導体記憶装置。

【請求項3】 前記第1の電圧、前記第2の電圧及び前記第3の電圧は一の外部電圧源から供給され、該外部電圧源の電圧レベルは該第3の電圧であり、該第1の電圧及び該第2の電圧は該第3の電圧からレギュレートされて供給される請求項1又は請求項2記載の不揮発性半導体記憶装置。

【請求項4】 前記データの書き込み時に、非選択メモリセルのワード線に前記第1の電圧を印加するようにした請求項1又は請求項2記載の不揮発性半導体記憶装置。

【請求項5】 前記メモリセルが形成されているウエルはp型半導体層であり、該ウエルはn型半導体層に囲まれて、基板から電気的に分離されており、データの書き

込み時に、該n型半導体層に前記第1の電圧を印加するようにした請求項1又は請求項2記載の不揮発性半導体記憶装置。

【請求項6】 前記コントロールゲートに層間絶縁膜を介してフローティングゲートが重畳され、該フローティングゲートが平坦な形状である請求項1又は請求項2記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性半導体記憶装置に関し、より詳しくは、F N-F N動作によるデータの書き込み動作及び消去動作を正の電圧のみで行うことができ、結果的に負電圧ポンプを不要とし、レイアウト面積を低減できる不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】最近、DRAM、フラッシュメモリ等を混載したロジックLSIが注目されている。特に、フラッシュメモリは電気的に書き換えが可能であり、しかも、電源を切ってもデータが消えない点から、内部データの記憶用及びコード記憶用の両方の用途で利用される。

【0003】内部データ記憶用のフラッシュメモリは、ロジックLSIの動作時にデータの記憶が行われ、単一電源化を図ることが重要である。この場合、使用するメモリ容量も大きく、フラッシュメモリの書き換えに必要な昇圧ポンプを用いることが可能である。即ち、昇圧ポンプのレイアウト面積に比して、メモリ部のレイアウト面積が大きいからである。

【0004】一方、コード記憶用のフラッシュメモリの場合は、バージョンアップ等のアップデート時に書き換えが行われるだけなので、書き換え回数は少ない。また、使用されるメモリ容量も小さい。このため、単一電源化に必要な昇圧ポンプを用いることができない。これは、昇圧ポンプのレイアウト面積に比して、メモリセルアレイ（以下ではアレイと略称する）の面積が小さいためである。

【0005】このような理由から、コード記憶用の場合、昇圧ポンプを用いて単一電源化を実現するよりも、ロジック電圧以外に、書き換え時に用いる高電圧を外部から導入し、2電源とする方が好ましいといえる。

【0006】ところで、フラッシュメモリとして、データの書き換えにF N-F N動作を用いたものがあり、この方式のフラッシュメモリによれば、以下の利点を有する。

【0007】（1）不揮発性半導体記憶装置のレイアウト面積を縮小できる。

【0008】（2）書き換え動作をチャネルホットエレクトロンで行うと、大電流が必要になり、消費電力が大きくなるのに対し、F Nトンネル電流という微小電流を

用いてデータの書き換えを行うので、低消費電力化を図ることができる。

【0009】以下に書き換えにFN-FN動作を用いたフラッシュメモリの代表的なものを例示する。

【0010】(1) NOR型のフラッシュメモリ

(2) NAND型のフラッシュメモリ

(3) DINOR型のフラッシュメモリ

(4) AND型のフラッシュメモリ

(5) ACT (Asymmetrical Contactless Transistor) 型 (= 仮想接地型) のフラッシュメモリ

(6) FLTOX型のフラッシュメモリ

次に、例示した各フラッシュメモリの動作原理及び問題点について説明する。まず、図12に基づきNOR型のメモリセルへの書き込み動作、読み出し動作及び消去動作について説明する。

【0011】書き込み動作は、図12(a)に示すように、コントロールゲートCGに V_{pp} (例えば、12V) を印加し、例えば、ドレインに6V、ソースに0Vを印加する。このようにコントロールゲートCGとドレインに高電圧を加えてメモリセルに電流を流す。この時、メモリセルを流れる電子の一部はドレイン付近の高電界により加速されてフローティングゲートFGに注入(チャネルホットエレクトロンの注入)される。

【0012】消去動作では、図12(b)に示すように、コントロールゲートCGを0V、ドレインをフローティング、ソースに V_{pp} (12V) を印加し、これによって、フローティングゲートFGから電子を引き抜き、メモリセルの閾値を低くする。

【0013】読み出し動作では、図12(c)に示すように、コントロールゲートCGに V_{cc} (例えば、3V)、ドレインに1V、ソースに0Vを印加する。ここで、選択されたメモリセルが閾値の低いセルである場合は電流は流れ、閾値の高いセルである場合は電流は流れない。

【0014】ところで、NOR型のフラッシュメモリは、データの消去時において、上記のようにソースに高電位をかけるため、ソース側拡散層の耐圧を高くする必要がある。このため、深い拡散が必要になる結果、セル面積縮小の妨げとなっていた。また、書き込み時の消費電力が大きいという問題点もある。

【0015】表1は、NOR型のフラッシュメモリの書き込み時、消去時及び読み出し時における印加電圧条件をまとめたものである。

【0016】

【表1】

	ドレイン	ゲート	ソース
書き込み	12V	6V	0V
消去	F	0V	12V
読み出し	1V	3V	0V

F:フローティング状!

【0017】次に、NAND型のフラッシュメモリの問題点について説明する。NAND型のフラッシュメモリは、アレイ構成をNANDとすることで、アレイのレイアウト面積を縮小化できる利点を有する反面、アレイ構成からビット線に多くの容量が付随し、ランダムアクセスが遅いという問題点を有する。このため、ランダムアクセス速度の高速なものが要求されるコード記憶用には向かない。

【0018】なお、DINOR型のフラッシュメモリ、AND型のフラッシュメモリ及びACT型のフラッシュメモリは、基本的にNOR型アレイ構成で、ランダムアクセス速度は基本的に高速化が可能である。以下これらの基本的動作原理について述べる。

【0019】まず、DINOR型のフラッシュメモリは、「電子情報通信学会信学技報、1993年SDM93、pp15」「3V単一電源DINOR型フラッシュメモリ」に開示されている。

【0020】図1はそのメモリセルの構造を示す。なお、図1は後述のように本発明が適用されるフラッシュメモリの構造を示すものである。

【0021】図1において、基板1の表面側には、nウエル2がコ字状に形成され、その内部にpウエル3が形成されている。加えて、pウエル3の領域内には、n+のソース4及びn+のドレイン5が形成されている。また、ソース4、ドレイン5間の基板1上に、トンネル酸化膜6を介して、フローティングゲートFGが形成されている。更に、フローティングゲートFGの上には、層間絶縁膜7を介してコントロールゲートCGが形成されている。

【0022】次に、このメモリセルの動作原理について説明する。

【0023】まず、書き込み動作は、図13(a)に示すように、pウエル3に基準電圧 V_{ss} (例えば、0V) を印加する。そして、コントロールゲートCGに負の電圧 V_{neg} (例えば、-8V) を印加し、更に、ドレイン5に正の高電圧 V_{pd} (例えば、+4V) を印加する。

【0024】これにより、ドレイン5とフローティングゲートFGの重なった部分で高電界が発生し、フローティングゲートFGから電子が引き抜かれる。この結果、閾値は低くなる(例えば、閾値は0V以上、1.5V以下)。

【0025】一方、消去動作では、ソース4に負の電圧 V_{en} (例えば、-4V) を印加するため、基板1とソ

ース4で順方向電圧にならないように、pウエル3に負の電圧 V_{en} を印加する。更に、コントロールゲートCGに正の高電圧 V_{eg} （例えば、8V）を印加し、ソース4及びチャネル部分で高電界を発生させ、チャネル全面からフローティングゲートFGに電子を注入し、閾値を高くする（例えば、閾値は4V以上）。

【0026】また、読み出し動作は、ドレイン5に1V、コントロールゲートCGに3Vを印加し、メモリセルに電流を流す。ここで、閾値の低い書き込まれたメモリセルであれば、電流が流れる。一方、閾値の高いメモリセルの場合は電流は流れない。従って、この状態をセンスアンプ等からなる読み出し回路でセンスし、データを読み出す。

【0027】表2は、DINOR型のフラッシュメモリの書き込み時、消去時及び読み出し時における印加電圧条件をまとめたものである。

【0028】

【表2】

	ドレイン	ゲート	ソース	ウェル
書き込み	4V	-8V	F	0V
消去	F	8V	-4V	-4V
読み出し	1V	3V	0V	0V

F:フローティング状態

【0029】次に、図14に基づき上記動作をアレイの構成を用いて更に詳細に説明する。図14に示すように、このアレイは、ビット線BL（BL0～BLm+1）がメモリセルM（M00～Mnm）のドレインに接続され、コントロールゲートCGがワード線WL（WL0～WLn）に接続されており、その交点にメモリセルMがマトリクス状に配設されている。なお、ソースは共通ソースへ接続されるように構成されている。

【0030】次に、書き込み動作について説明する。DINOR型のフラッシュメモリでは、書き込み動作を高速化するために、1本のワード線WLに接続された複数のメモリセルへの書き込みを同時に行う構成をとる。

【0031】図15は電圧を印加した状態を示す。同図に示すように、ワード線WL0に接続されたメモリセルM00～M0mに、データ“1”、“0”、“1”…“0”を書き込む場合、選択されたワード線WL0は-8Vである。また、非選択ワード線WL1、WL2…は基準電圧 V_{ss} （例えば、0V）である。

【0032】ビット線BLはデータにより電圧が異なり、データが“1”の場合、書き込み電圧4Vがビット線BLに出力される。一方、データが“0”の場合、書き込みを阻止するため、基準電圧 V_{ss} （例えば、0V）が出力される。よって、データ“1”のメモリセルのみが、上述したようなメカニズムにより、閾値が低下する。

【0033】消去動作は、図14に示すアレイを一括消

去することによって行われる。即ち、ビット線BLをフローティング状態とし、ウェル及び共通ソースを-4Vとする。そして、全てのワード線WLを8Vとして、上述したようなメカニズムによりフローティングゲートFGに電子が注入され、閾値が上昇する。

【0034】読み出し動作は、選択したワード線WL0のみ3V、非選択ワード線WL1～WLnは0Vとする。読み出すべきメモリセルMのドレインを1V、共通ソースを0Vとして、メモリセルに電流を流す。このような印加電圧条件によりデータの読み出しを行う。

【0035】次に、AND型のフラッシュメモリの基本的動作原理について説明する。なお、このAND型のフラッシュメモリは、例えば、「電子情報通信学会信学技報、1993年、SDM93、pp37」“3V単一電源64Mビットフラッシュメモリ用AND型セル”や特開平6-77437号公報に開示されている。

【0036】ここで、AND型のフラッシュメモリの基本的動作は、上記したDINOR型のフラッシュメモリと同じである。従って、以下では異なる点を中心に説明する。上記文献に記載されたAND型のフラッシュメモリの構造は、nウェルに囲まれた領域にpウェルが存在するトリプルウェル構造を用いていない。これは、後述するが、消去時に、ドレインに負の電圧を印加しない方式をとるため、トリプルウェル構造を用いる必要がないためである。

【0037】表3は、AND型のフラッシュメモリの書き込み動作、消去動作及び読み出し動作時の電圧印加条件をまとめたものである。

【0038】

【表3】

	ドレイン	ゲート	ソース	ウェル
書き込み	4V	-8V	F	0V
消去	F	12V	F	0V
読み出し	1V	3V	0V	0V

F:フローティング状態

【0039】書き込み動作及び読み出し動作については、上記のDINOR型のフラッシュメモリと同じ電圧印加方式であり、ここでは説明を省略する。

【0040】一方、消去動作はDINOR型のフラッシュメモリと異なる。そのメカニズムを、図13(b)に示す。同図からわかるように、ドレイン5、ソース4をフローティングとし、ワード線WLに正の電圧を印加し、チャネルとフローティングゲートFG間に高電界を発生させ、電子をフローティングゲートFGへ注入する。結果として、閾値は高くなる。

【0041】また、上記文献に開示されているAND型のフラッシュメモリでは、ワード線1本当たりの書き込み、消去を行うのでビットラインとソース線は図示されていないセレクトゲートトランジスタによって分割され

ている。ワード線1本当たりの消去を行うため、選択されているワード線に正の高電圧 V_{pp} （例えば、12V）を印加し、これにより、上記したように、電子をフローティングゲートFGへ注入し、ワード線1本分の消去を行う。また、アレイ全体のワード線全てに正の高電圧 V_{pp} （例えば、12V）を印加すれば、DINOR型のフラッシュメモリと同じようにアレイ全体を一括して消去することができる。

【0042】次に、ACT型のフラッシュメモリの基本的動作原理について説明する。なお、このACT型のフラッシュメモリは、「IEDM Tech. Dig. P 267, (1995)」“A New Cell Structure for Sub- μ m High Density Flash Memory”に開示されている。

【0043】このACT型のフラッシュメモリの基本動作は、アレイのレイアウト面積を小さくするために、仮想接地型アレイを用いていることから、DINOR型のフラッシュメモリ及びAND型のフラッシュメモリと少し異なる点がある。

【0044】図6はACT型のフラッシュメモリの断面図を示す。なお、図6は後述する本発明に係るACT型のフラッシュメモリの構造を示すものである。

【0045】図6に示すように、ソース4及びドレイン5の不純物濃度は、フローティングゲートFG直下の領域と他の領域とで異なっている。なお、図1と対応する部分には同一の符号を付し、具体的な説明は省略する。

【0046】書き込み時は、コントロールゲートCGを負の電圧 V_{neg} （例えば、-8V）とし、ドレイン5側では、高濃度の拡散層 n^+ に正の高電圧 V_{pd} （例えば、4V）を印加する。このため、図16（a）にそのメカニズムを示すように、電子が引き抜かれ、閾値が低下する。つまり、この動作でデータがメモリセルに書き込まれる。

【0047】一方、ソース4側では、低濃度（ n^- ）であるため、正の高電圧 V_{pd} が印加されても、電子は引き抜かれず、閾値は低下しない。つまり、書き込みが阻止される構造になっている。

【0048】次に、この動作の詳細を図7に基づき説明する。なお、図7は隣接するメモリセルとの関係を示しており、同図からわかるように、1つの拡散層（ n^+ 、 n^- ）を隣接する2つのメモリセルで共有している。つまり、あるメモリセルでは、その拡散層（ n^+ 、 n^- ）はドレイン5であり、隣接する他のメモリセルでは、ソース4である。

【0049】あるメモリセルにデータが書き込まれる場合、ドレイン5側では V_{pd} （例えば、4V）、ソース4側では V_{pd} 又は書き込み阻止の電圧である。このメモリセルの書き込み動作を妨げないようにするため、ソース4側に書き込み阻止電圧が印加される場合、拡散層

（ n^+ 、 n^- ）をフローティング状態とする必要がある。

【0050】消去動作は、図16（b）に示すように、拡散層（ソース4、ドレイン5）及びpウェル3に負の電圧 V_{en} （例えば、-4V）を印加し、コントロールゲートCGを V_{eg} （例えば、+8V）とする。これにより、チャネル層とフローティングゲートFG間で高電界を発生させ、電子をフローティングゲートFGへ注入する。

【0051】読み出し動作は、ドレイン5（又はソース4）に V_{bs} （例えば、1V）、コントロールゲートCGに V_{cc} （例えば、3V）を印加し、メモリセルに電流を流し、これをセンスし、データの読み出しを行う。

【0052】表4は、ACT型のフラッシュメモリの書き込み時、消去時及び読み出し時の印加電圧条件をまとめたものである。

【0053】

【表4】

	ドレイン	ゲート	ウェル
書き込み	4V	-8V	0V
消去	-4V	8V	-4V
読み出し	1V	3V	0V

F:フローティング状態

【0054】次に、この動作の詳細を図17に基づき説明する。なお、図17はACT型のフラッシュメモリで用いられるアレイ構成を示す。同図からわかるように、同一のワード線WL上のメモリセルにおいて、あるメモリセルは隣接するメモリセルのビット線BLを共有している。例えば、ビット線BL1にはメモリセルM00とメモリセルM01の両方が接続されている。

【0055】このアレイにおける書き込み動作について説明する。書き込み動作は、上記したDINOR型のフラッシュメモリ及びAND型のフラッシュメモリと同様に、ワード線WL1本当たりに接続された複数のメモリセルに対して同時に書き込みを行う。

【0056】図17は、書き込みデータがそれぞれ“1”、“0”、“1”・・・“0”の場合のアレイの各ノードの印加電圧を示している。ワード線WL0につながるメモリセルM00～M0mに書き込みを行う場合、WL0を V_{nn} （例えば、-8V）とし、ビット線BL0、BL1、BL2、・・・BLnにそれぞれ“4V”、“フローティング”、“4V”、・・・“フローティング”とする。この条件により、上記のようなデータの書き込みが行われる。

【0057】消去動作は、図16に示すアレイの一括消去である。全てのビット線BL0～BLm+1を-4Vとし、全てのワード線WL0～WLnを8Vとする。この条件で、上記したようなメカニズムにより、フローティングゲートFGから電子が注入され、閾値が上昇す

る。

【0058】読み出し動作は、選択したワード線WLを3V、非選択ワード線は0Vとする。読み出すべきメモリセルのドレインをV_{bs}（例えば、1V）、ソースをV_{ss}（例えば、0V）として、セルに電流を流す。例えば、ワード線WL0をV_{cc}（例えば、3V）、ビット線BL0にV_{bs}、ビット線BL1はV_{ss}とすることにより、メモリセルM00のデータを読み出すことが可能である。

【0059】次に、FLTOX型のフラッシュメモリの基本的動作原理について説明する。図19はFLTOX型のフラッシュメモリのセル構造を示す。基板1の表層部にはn+のソース4とn+のドレイン5が形成され、フィールド酸化膜6を介してフローティングゲートFGが形成されている。更に、フローティングゲートFGの上には、層間絶縁膜7を介してコントロールゲートCGが形成されている。

【0060】このようなセル構造を有するFLTOX型のフラッシュメモリは、例えば、「IEEE ISSC C Dig Tech. Pap; pp152-153, 1980年」、「16kb Electrical Erasable Nonvolatile Memory」に記載されている。

【0061】次に、このセル構造のフラッシュメモリを図20に示すメモリセルアレイに適用した場合について説明する。このタイプのフラッシュメモリは、トリプルウェル構造ではなく、ウェルと基板1は同電位、つまり、ウェルは常にV_{ss}（0V）である。

【0062】この場合の書き込みは、コントロールゲートCGにV_{ss}を印加し、書き込みデータ“1”でセルにデータを書き込みたい場合は、ビット線BLにV_{pp}（12V）を印加する。これにより、フローティングゲートFGとドレイン5間には高電界が発生し、フローティングゲートFGから電子が引き抜かれ、閾値は低下する。

【0063】一方、データが“0”の場合は、ビット線BLにV_{inh}（6V）を印加する。これにより、フローティングゲートFGとドレイン5間の電界が緩和され、閾値は高い状態に保たれる。

【0064】なお、ドレインディスタブを避けるために、非選択ワード線WLにはV_{inh}が印加され、これによってドレインディスタブを緩和している。

【0065】一方、消去動作は、選択ブロックの全ワード線WLにV_{pp}を印加し、ビット線BLを0V、ソース線をフローティング状態として、ドレイン5サイドから電子を注入して閾値を高める。

【0066】なお、下記表5は、FLTOX型のフラッシュメモリの書き込み時、消去時及び読み出し時における印加電圧条件をまとめたものである。

【0067】

【表5】

	ドレイン	ゲート	ソース	ウェル(基板)
書き込み	12V	0V	F	0V
消去	0V	12V	F	0V
読み出し	1V	3V	0V	0V

F:フローティング状態

【0068】

【発明が解決しようとする課題】ところで、上述したFN-FN動作を用いるDINOR型のフラッシュメモリ、AND型のフラッシュメモリ及びACT型のフラッシュメモリは、いずれも単一電源化を容易にするため、書き込み動作及び消去動作に負電圧を用いている。この負電圧は内部の負電圧ポンプで発生する。また、それらの動作には正の高電圧も使い、これもまた、昇圧ポンプを用いて内部で発生する。

【0069】上記したように、ロジックLSIにフラッシュメモリを混載し、コード記憶用として用いるものでは、メモリ容量が小さいことから、これの動作のために、レイアウト面積の大きい昇圧ポンプ、負電圧ポンプを用いることができない。

【0070】また、外部から導入する電源は、ロジック用電源V_{cc}のロジック電源電圧以外に、書き換え時に必要な外部高電圧電源（正の高電圧、例えば、12V）しか用いることができない。つまり、上記のDINOR型のフラッシュメモリ、AND型のフラッシュメモリ及びACT型のフラッシュメモリにおいては、負電圧を外部から供給することができない。この結果、上記した問題点を有する。

【0071】また、FLTOX型のフラッシュメモリは、以下に示す問題がある。

【0072】（1）図19に示すように、フローティングゲートFGの構造が複雑であるため、フローティングゲートFGのサイズが大きくなる。このため、セル面積の低減を図ることが困難になる。

【0073】（2）ドレイン5に高電圧が印加されるため、高耐圧用のドレイン5を形成する必要がある。このため、ドレイン領域が大きくなり、セル面積も大きくなる。

【0074】以上のように、FLTOX型のフラッシュメモリでは、セル面積がETOX型のフラッシュメモリよりも更なる大きくなるため、FN-FN型のフラッシュメモリのメリットの一つであるセル面積の低減を図ることができない。

【0075】本発明は、このような現状に鑑みてなされたものであり、データの書き込み動作時及び消去動作時に正の電圧を用い、負電圧ポンプを不要とし、結果的にレイアウト面積を低減でき、またドレイン側の耐圧も緩和できる不揮発性半導体記憶装置を提供することを目的とする。

【0076】本発明の他の目的は、フローティングゲートの形状が平坦形状であり、そのサイズを小さくできる結果、セル面積の一層の低減を図ることができる不揮発性半導体記憶装置を提供することにある。

【0077】

【課題を解決するための手段】本発明の不揮発性半導体記憶装置は、データの書き込み動作及び消去動作をF Nトンネル現象を利用して行う不揮発性半導体記憶装置であって、ワード線群とビット線群が直交し、その交点にスタックゲート型のメモリセルがマトリクス状に配置され、該メモリセルのコントロールゲートがワード線に接続され、ドレインがビット線に接続され、且つマトリクス状に配置された全てのメモリセルのソースが共通接続されたメモリアレイ群からなり、該メモリセルの該コントロールゲートを基準電圧とし、該メモリセルが形成されているウエルに第1の電圧、該ドレインに第2の電圧を印加することによってデータの書き込みを行う一方、該コントロールゲートに第3の電圧を印加し、該ウエルを基準電圧とすることによってデータの消去を行う不揮発性半導体記憶装置において、該第1の電圧、該第2の電圧及び該第3の電圧が全て正の高電圧であり、且つ該第2の電圧が該第1の電圧よりも高く設定されており、そのことにより上記目的が達成される。

【0078】また、本発明の不揮発性半導体記憶装置は、データの書き込み動作及び消去動作をF Nトンネル現象を利用して行う不揮発性半導体記憶装置であって、ワード線群とビット線群が直交し、その交点にスタックゲート型のメモリセルがマトリクス状に配置され、該メモリセルのコントロールゲートがワード線に接続され、ドレインがビット線に接続され、ソースが隣接するメモリセルのビット線に接続された仮想接地型メモリセルアレイ群からなり、該メモリセルの該コントロールゲートを基準電圧とし、該メモリセルが形成されているウエルに第1の電圧、該ドレインに第2の電圧を印加することによってデータの書き込みを行う一方、該コントロールゲートに第3の電圧を印加し、該ウエルを基準電圧とすることによってデータの消去を行う不揮発性半導体記憶装置において、該第1の電圧、該第2の電圧及び該第3の電圧が全て正の高電圧であり、且つ該第2の電圧が該第1の電圧よりも高く設定されており、そのことにより上記目的が達成される。

【0079】好ましくは、前記第1の電圧、前記第2の電圧及び前記第3の電圧は一の外部電圧源から供給され、該外部電圧源の電圧レベルは該第3の電圧であり、該第1の電圧及び該第2の電圧は該第3の電圧からレギュレートされて供給される構成とする。

【0080】また、好ましくは、前記データの書き込み時に、非選択メモリセルのワード線に前記第1の電圧を印加する構成とする。

【0081】また、好ましくは、前記メモリセルが形成

されているウエルはp型半導体層であり、該ウエルはn型半導体層に囲まれて、基板から電気的に分離されており、データの書き込み時に、該n型半導体層に前記第1の電圧を印加する構成とする。

【0082】また、好ましくは、前記コントロールゲートに層間絶縁膜を介してフローティングゲートが重畳され、該フローティングゲートが平坦な形状である構成とする。

【0083】以下に、本発明の作用を説明する。

【0084】上記構成によれば、F N-F N動作によるフラッシュメモリ（不揮発性半導体記憶装置）へのデータの書き込み動作及び消去動作を正の電圧を印加するだけで行えるので、図4（a）、（b）に対比して示すように、このフラッシュメモリの電圧系において、従来データの書き込み時に必要であった負電圧ポンプを省略することができる。この結果、レイアウト面積を大幅に低減することが可能になる。

【0085】加えて、本発明によれば、図4（b）に示すように、カラムデコーダ12及びロウデコーダ11に負電圧を印加する必要がないので、その分、デコーダの回路構成を簡潔化できる利点もある。

【0086】また、メモリセルとして仮想接地型のメモリセルを用いる本発明の構成によれば、レイアウト面積を更に一層低減できる利点がある。

【0087】また、前記データの書き込み時に、非選択メモリセルのワード線に前記第1の電圧を印加する構成によれば、図5に示すように、レギュレータ回路が不要になるので、その分、より一層レイアウト面積を低減できる利点がある。

【0088】また、本発明では、データの書き込み動作時及び消去動作時に負電圧を用いないため、2重ウエル構造のトランジスタを使用する必要がない。このため、周辺回路部、特にロウデコーダ部及びカラムデコーダ部のレイアウト面積を低減できる利点がある。

【0089】また、本発明では、フローティングゲートが平坦な形状であるので、F L O T O X型のフラッシュメモリに比べて、そのサイズを小さくできる結果、セル面積の一層の低減を図ることができる。

【0090】

【発明の実施の形態】以下に本発明の実施の形態を図面に基づき具体的に説明する。

【0091】（実施形態1）図1～図5は本発明不揮発性半導体記憶装置の実施形態1を示す。図1は本実施形態1に係る不揮発性半導体記憶装置のメモリセルの構造を示しており、本実施形態1は本発明をD I N O R型のフラッシュメモリに適用した例を示す。

【0092】図1において、基板1の表面側には、nウエル2がコ字状に形成され、その内部にpウエル3が形成されている。加えて、pウエル3の領域内には、n+のソース4及びn+のドレイン5が形成されている。ま

た、ソース4、ドレイン5間の基板1上に、トンネル酸化膜6を介して、フローティングゲートFGが形成されている。更に、フローティングゲートFGの上には、層間絶縁膜7を介してコントロールゲートCGが形成されている。

【0093】ここで、留意すべきは、メモリセルの形成されるpウェル2はnウェル3に囲まれたトリプルウェル内に形成されていなければならない点である。

【0094】次に、図2に基づき本実施形態1のメモリセルの基本動作について説明する。なお、下記の表6は、書き込み時、消去時及び読み出し時の印加電圧条件をまとめたものである。

【0095】

【表6】

	ドレイン	ゲート	ソース	ウェル
書き込み	12V	0V	F	5V
消去	F	12V	F	0V
読み出し	1V	3V	0V	0V

F:フローティング状態

【0096】書き込み動作は、図2(a)に示すように、pウェル3に正の高電圧 V_{pd} (例えば、+5V)を印加する。この時、pウェル3とトリプルウェル構造のnウェル2が順方向バイアスとならないように、nウェル2に正の高電圧 V_{pd} を印加する。ドレイン5には正の高電圧 V_{pp} (例えば、+12V)を印加する。更に、ソース4側をフローティングとし、コントロールゲートCGを基準電圧 V_{ss} (例えば、0V)とし、この電圧条件によりドレイン5とフローティングゲートFGの重なる部分で高電界を発生させる。この時、pウェル3に正の高電圧 V_{pd} が印加されているため、ドレイン5側の耐圧を緩和することができる。

【0097】この結果、フローティングゲートFGから、電子が引き抜かれ、閾値が低下する。なお、ここで用いられる正の高電圧はすべて一の外部高電圧源(例えば、12V)を電源としている。

【0098】次に、図3に基づき上記の電圧印加条件をアレイを用いて説明する。この場合も、1本のワード線WLに接続された複数のメモリセルに対して同時に書き込みを行う。書き込みデータはそれぞれ“1”、“0”、“1”…“0”の場合である。

【0099】図3はアレイの各ノードの印加電圧を示しており、ワード線WL0につながるメモリセルM00～M0mに書き込みを行う場合は、ワード線WL0を基準電圧 V_{ss} (例えば、0V)とし、ビット線BL0、BL1、BL2、…BLnにそれぞれ V_{pp} (例えば、12V)、 V_{pd} (例えば、5V)、 V_{pp} 、… V_{pd} を印加する。

【0100】この時、ウェル電圧は V_{pd} であり、共通ソースをフローティング状態とする。また、非選択ワ

ード線WL1～WLnの電圧は全て V_{pd} である。この条件により、上記のようなデータの書き込みが行われる。

【0101】ここで問題になるのはディスタースである。図3において、ゲートディスタースは、例えば、メモリセルM01で受けており、ドレインディスタースはメモリセルM10で受けている。メモリセルM11等は、コントロールゲートCG、ドレイン5、ウェル2、3の電圧が V_{pd} であり、この条件では、ディスタースは受けない。

10 【0102】次に、ゲートディスタース及びドレインディスタースの詳細について説明する。

【0103】(1)ゲートディスタース

このゲートディスタースは、上述のように、図3に示すメモリセルM01の位置で受けるディスタース条件である。これは、ワード線WL0が0Vでビット線BL1及び基板1が5Vである。このことは、基板1の電圧を基準として考えた場合、ビット線BL1及び基板1の電圧が0V、ワード線WL0が-5Vの時と同じ条件であることを意味している。

20 【0104】ここで、上記の従来技術では、ゲートディスタースは-9V程度であり、この場合において、閾値を1V低下させるのに必要な時間は、約10s程度である。本実施形態1においては、メモリセルの設計条件にもよるが、上記の条件で閾値を1V低下させるのには約1000s程度の時間が必要である。このため、本実施形態1においては、ゲートディスタースは実質的に無視できる。

【0105】(2)ドレインディスタース

30 ドレインディスタースは図3に示すメモリセルM01の位置で受けるディスタース条件である。これは、ワード線WL0が5V、ビット線BL1が12V、基板1が5Vである。このことは、基板1の電圧を基準として考えた場合、ワード線WL0及び基板1が0V、ビット線BL1が7Vである時と同じ条件であることを意味している。

40 【0106】この条件では、本実施形態1のメモリセルの設計条件にもよるが、閾値を1V変化させるのに約100s程度要する。図示していないが、アレイ構成をメインビット線とサブビット線の構成とし、1つのサブビット線につながるメモリセル数を32程度とし、1つのメモリセルの書き込み時間を約10msとすると、受けるディスタース時間は300ms程度である。

【0107】従って、2桁以上のマージンがあるので、ドレインディスタースも実質的に無視できる。

【0108】消去及び読み出し動作は、従来技術の所で説明したAND型のフラッシュメモリと同様であるので、ここでは省略する。

【0109】次に、図4(a)、(b)に基づき本実施形態1の効果を従来例と対比して説明する。なお、同図(a)は従来例の電圧系を示し、同図(b)は本実施形態1の電圧系を示す。同図(a)、(b)において、符

号10はアレイを示し、11はロウデコーダを、12はカラムデコーダを、13はレギュレータ回路をそれぞれ示している。また、上述のように、従来例では書き込み時に負の電圧を必要とするので、同図(a)に示すように、負電圧ポンプ14が設けられており、この点で本実施形態1の電圧系と明確に異なっている。

【0110】同図(a)に示すように、従来例では書き込み時に負の電圧を必要とするため、外部電源V_{pp}(例えば、12V)を用いて負電圧を発生する。また、ビット線BLの電圧はレギュレータ回路13によりV_p 10

【0111】なお、消去時には、負電圧ポンプ14及びレギュレータ回路13は用いず、外部電源電圧V_{pp}がロウデコーダ11に直接入力される。

【0112】これに対して、本実施形態1においては、書き込み時は、同図(b)に示すように、レギュレータ回路13によって外部電源V_{pp}からV_p sレギュレートされた電圧がカラムデコーダ12、ロウデコーダ11 20

【0113】なお、消去時は、従来技術の場合と同様に、外部電源電圧V_{pp}がロウデコーダ11に直接入力される。

【0114】このように、本実施形態1の電圧系によれば、従来例では書き込み時に必要であった負電圧ポンプを省略することができるので、結果的にレイアウト面積を従来例よりも大幅に低減することが可能になる。

【0115】更には、カラムデコーダ12及びロウデコーダ11に負電圧を印加しないので、その分、デコーダ部の回路構成を小型且つ簡潔なものにできる利点もある。

【0116】なお、本実施形態1において、書き込み時のウェル2、3への印加電圧、非選択ビット線BLへの印加電圧及び非選択ワード線WLへの印加電圧をV_p sを用いないで、V_{cc}(例えば、3V)を利用できるようにメモリセルを設計することが可能である。

【0117】図5は、そのような場合の電圧系を示す。図4(b)の場合と比較すると、レギュレータ回路13が省略されており、その分、レイアウト面積を一層低減できる利点がある。

【0118】なお、下記の表7は、図5の電圧系を用いた場合の、書き込み時、消去時及び読み出し時の印加電圧条件をまとめたものである。

【0119】

【表7】

	ドレイン	ゲート	ソース	ウェル
書き込み	12V	0V	F	3V
消去	F	12V	F	0V
読み出し	1V	3V	0V	0V

F:フローティング状態

【0120】(実施形態2)図6～図10は本発明不揮発性半導体記憶装置の実施形態2を示す。図6及び図7は本実施形態2に係る不揮発性半導体記憶装置のメモリセルの構造を示しており、本実施形態2は本発明をA C T型のフラッシュメモリに適用した例を示す。

【0121】即ち、本発明を仮想接地型のメモリセルへ適用した例を示す。このため、実施形態2の不揮発性半導体記憶装置のレイアウト面積は、実施形態1のレイアウト面積よりも小さくなっている。なお、実施形態1と対応する部分には同一の符号を付し、具体的な説明は省略する。

【0122】次に、表7及び図8に基づき本実施形態2のメモリセルの基本動作を以下に説明する。なお、下記の表8は、書き込み時、消去時及び読み出し時の印加電圧条件をまとめたものである。

【0123】

【表8】

	ドレイン	ゲート	ウェル
書き込み	12V	0V	5V
消去	F	12V	0V
読み出し	1V	3V	0V

F:フローティング状態

【0124】書き込み動作は、図8(a)に示すように、pウェル3に正の高電圧V_p d(例えば、+5V)を印加する。この時、pウェル3とトリプルウェル構造のnウェル2が順方向バイアスとならないように正の高電圧V_p d(例えば+5V)を印加する。なお、この印加電圧は実際にはV_p d以上の電圧であればよい。

【0125】更に、ドレイン5には正の高電圧V_p p(例えば、+12V)を印加する。この時、ソース4側は、隣接するメモリセルのドレイン5とビット線BLを共有しているので、V_p d又はフローティング状態(又は5V)の電圧が印加される。

【0126】そして、コントロールゲートCGを基準電圧V_s s(例えば、0V)とし、この電圧条件によりドレイン5とフローティングゲートFGの重なる部分で高電界を発生させる。この結果、フローティングゲートFGから電子が引き抜かれ、閾値が低下する。なお、ここで用いられる正の高電圧はすべて外部高電圧源(例えば、+12V)を電源としている。

【0127】次に、図9に基づき上記の電圧印加条件をアレイを用いて説明する。図9は本実施形態2で用いられるアレイの構成を示す。このアレイにおいても、書き

込み動作は、1本のワード線WLに接続された複数のメモリセルに対して同時に書き込むことによって行われる。

【0128】図10は、書き込みデータが“1”、“0”、“1”…“0”の場合におけるアレイの各ノードの印加電圧を示している。

【0129】今、ワード線WL0につながるメモリセルM00～M0mに同時にデータを書き込みを行う場合を想定すると、この場合は、ワード線WL0を基準電圧Vss（例えば、0V）とし、ビット線BL0、BL1、BL2、…BLnにそれぞれVpp（例えば、12V）、フローティング又はVpd（例えば、5V）、Vpp、…フローティング又はVpdを印加する。この時、ウェル2、3への印加電圧はVpdとする。また、非選択ワード線WL1、…WLnへの印加電圧は、全てVpdとする。この電圧印加条件により、上記のようなデータの書き込みが行われる。

【0130】ここで、本実施形態2において、問題になるディスタープについては、基本的に実施形態1で述べたものと同様であるので、ここでは説明は省略する。

【0131】消去動作及び読み出し動作は、従来技術の所で説明したACT型のフラッシュメモリの場合と同様である（図8（a）参照）。

【0132】本実施形態2においても、図4（b）に示すように、従来技術で必要であった負電圧ポンプ14を省略できるので、実施形態1同様に従来技術に比べてレイアウト面積を低減できる利点がある。また、実施形態1同様に、カラムデコーダ12及びロウデコーダ11に負電圧を印加しないので、その分、デコーダ部の回路構成を簡潔なものにできる利点がある。

【0133】また、実施形態1同様に、書き込み時のウェル2、3への印加電圧、非選択ビット線BLへの印加電圧及び非選択ワード線WLへの印加電圧をVpsを用いなくて、Vcc（例えば、3V）を利用できるようにメモリセルを設計することが可能である。この場合は、図5に示すように、レギュレータ回路13が不要になるので、レイアウト面積を更に一層低減できる利点がある。

【0134】なお、下記の表9に、本実施形態2において、図5に示す電圧系を採用する場合の書き込み時、消去時及び読み出し時の印加電圧条件をまとめたものを示す。

【0135】

【表9】

	ドレイン	ゲート	ウェル
書き込み	12V	0V	3V
消去	F	12V	0V
読み出し	1V	3V	0V

F:フローティング状態

【0136】加えて、本実施形態1及び本実施形態2においては、上述のように、書き込み動作時及び消去動作時に、負電圧を用いないため、2重ウェル構造のトランジスタを使用する必要がない。このため、周辺回路部、特にロウデコーダ部、カラムデコーダ部でのレイアウト面積を低減できる利点がある。以下に、その理由を図18（a）、（b）に示す従来例を例にとって説明する。

【0137】ここで、図18（a）はNANDゲート20とCMOSインバータ21とからなるロウデコーダの回路例を示し、図18（b）はこのロウデコーダを構成するCMOSインバータ21の構造例を示す。

【0138】CMOSインバータ21に接続される端子V1にはVpp、Vcc又はVssのいずれかが印加され、端子V2にはVss、Vnegが印加される。行選択信号に応じて選択時には、pチャンネル型のトランジスタTpがオン状態になり、端子V1の電圧が出力される。一方、非選択時にはnチャンネル型のトランジスタTnがオン状態になり、端子V2の電圧が出力される。

【0139】ここで、このCMOSインバータ21は、同図（b）に示すように、P形基板23上に形成されたNウェル領域24内にPウェル領域25を形成し、その中にnチャンネル型のMOSトランジスタを形成する2重ウェル構造になっている。これは、CMOSインバータ21の端子に負電圧を印加されたときに、基板23と拡散層間が順バイアスになり、電流が流れて所定の電圧を出力できなくなるという問題を防止するためである。

【0140】なお、ドレインに負の電圧を印加する場合も、カラムデコーダ側にも2重ウェル構造のトランジスタを使用する必要がある。

【0141】これに対して本発明は、書き込み動作及び消去動作のいずれの動作時にも負電圧を用いないため、上記した基板23と拡散層間が順バイアスになり、電流が流れて所定の電圧を出力できなくなるという問題は生じないので、図11に示すように、2重ウェル構造のトランジスタを使用する必要がない。この結果、周辺回路部、特にロウデコーダ部、カラムデコーダ部でのレイアウト面積を低減できるのである。

【0142】

【発明の効果】以上の本発明不揮発性半導体記憶装置によれば、FN-FN動作によるフラッシュメモリへのデータの書き込み動作及び消去動作を正の電圧を印加するだけで行えるので、このフラッシュメモリの電圧系において、従来データの書き込み時に必要であった負電圧ポンプを省略することができる。この結果、本発明によれば、レイアウト面積を大幅に低減することが可能になる。

【0143】加えて、本発明によれば、カラムデコーダ及びロウデコーダに負電圧を印加する必要がないので、その分、デコーダの回路構成を簡潔化できる利点もある。

【0144】更に、本発明によれば、ドレイン側の耐圧を緩和できるため、ドレイン領域が小さくて済むので、より一層セル面積を低減できる利点がある。

【0145】また、特に請求項2記載の本発明不揮発性半導体記憶装置によれば、メモリセルとして仮想接地型のメモリセルを用いる構成をとるので、レイアウト面積を更に一層低減できる利点がある。

【0146】また、特に請求項4記載の本発明不揮発性半導体記憶装置によれば、データの書き込み時に、非選択メモリセルのワード線に第1の電圧を印加する構成をとるので、レギュレータ回路を省略できる。このため、その分、より一層レイアウト面積を低減できる利点がある。

【0147】また、本発明不揮発性半導体記憶装置は、データの書き込み動作時及び消去動作時に負電圧を用いないため、2重ウエル構造のトランジスタを使用する必要がない。このため、周辺回路部、特にロウデコーダ部及びカラムデコーダ部のレイアウト面積を低減できる利点がある。

【0148】また、特に請求項6記載の不揮発性半導体記憶装置によれば、フローティングゲートが平坦な形状であるので、FLOTOX型のフラッシュメモリに比べて、そのサイズを小さくできる結果、セル面積の一層の低減を図ることができる利点がある。

【図面の簡単な説明】

【図1】本発明の実施形態1を示す、フラッシュメモリのメモリ構造を示す断面図。

【図2】本発明の実施形態1を示す、(a)は書き込み動作を示す断面図、(b)は消去動作を示す断面図。

【図3】本発明の実施形態1を示す、フラッシュメモリへの書き込み電圧を回路構成とともに示す図。

【図4】本発明の効果を従来技術と比較して説明する図であり、(a)は従来技術の電圧系を示すブロック図、(b)は本発明の電圧系を示すブロック図。

【図5】本発明の実施形態1を示す、電圧系の変形例を示すブロック図。

【図6】本発明の実施形態2を示す、フラッシュメモリのメモリ構造を示す断面図。

【図7】本発明の実施形態2を示す、フラッシュメモリのワード線方向の断面図。

【図8】本発明の実施形態2を示す、(a)は書き込み動作を示す断面図、(b)は消去動作を示す断面図。

【図9】本発明の実施形態2を示す、フラッシュメモリのアレイ構成を示す図。

【図10】本発明の実施形態2を示す、フラッシュメモリへの書き込み電圧を回路構成とともに示す図。

【図11】本発明で使用するトランジスタの構造を示す断面図。

【図12】(a)～(c)はNOR型のフラッシュメモリに対するデータの書き込み動作、消去動作及び読み出し動作を簡略的に示す断面図。

【図13】従来例を示す図であり、(a)は書き込み動作を示す断面図、(b)は消去動作を示す断面図。

【図14】従来例のメモリセルアレイの構成を示す図。

【図15】従来例におけるフラッシュメモリへの書き込み電圧を回路構成とともに示す図。

【図16】従来例を示す、(a)は書き込み動作を示す断面図、(b)は消去動作を示す断面図。

【図17】従来例を示す、フラッシュメモリへの書き込み電圧を回路構成とともに示す図。

【図18】(a)はロウデコーダの従来例を示す回路図、(b)はロウデコーダを構成するCMOSインバータの構造例を示す断面図。

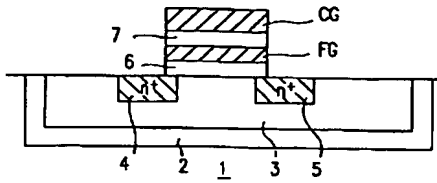
【図19】FLOTOX型のフラッシュメモリのセル構造を示す断面図。

【図20】図19のセル構造のフラッシュメモリが適用されるメモリセルアレイを示す回路図。

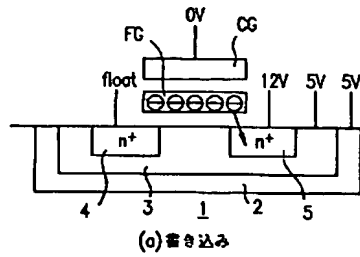
【符号の説明】

- 1 基板
- 2 nウエル
- 3 pウエル
- 4 ソース
- 5 ドレイン
- 6 トンネル酸化膜
- 7 層間絶縁膜
- 10 メモリセルアレイ
- 11 ロウデコーダ
- 12 カラムデコーダ
- 13 レギュレータ回路
- CG コントロールゲート
- FG フローティングゲート
- BL ビット線
- WL ワード線

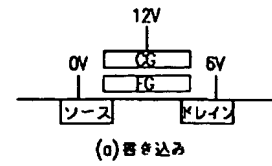
【図1】



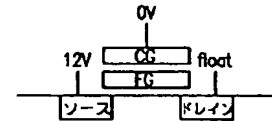
【図2】



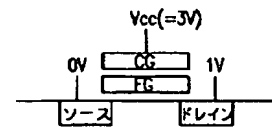
【図12】



(a)書き込み

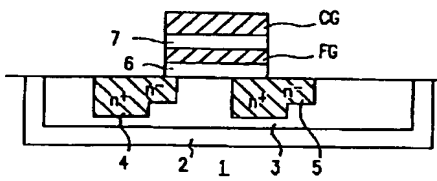


(b)消去

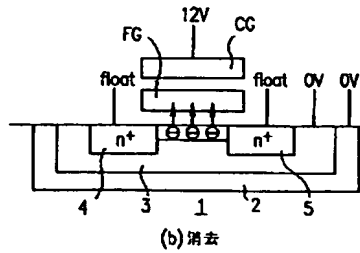


(c)読み出し

【図6】

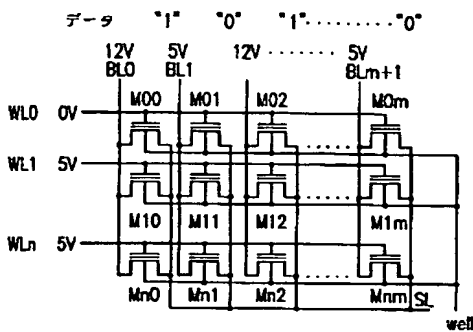


(a)書き込み

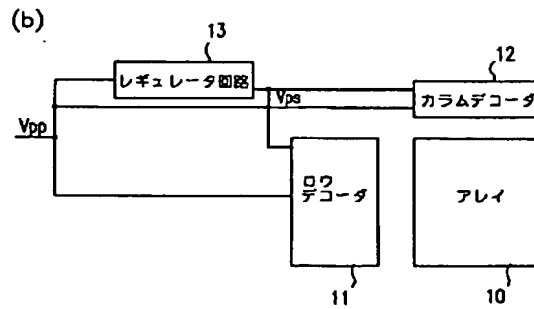
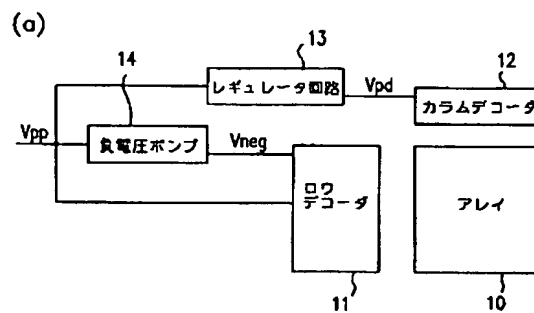


(b)消去

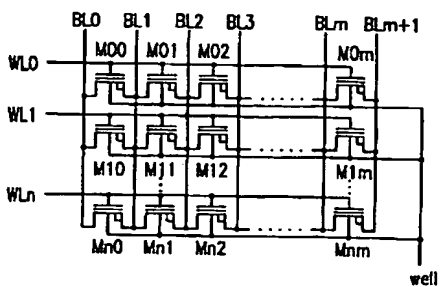
【図3】



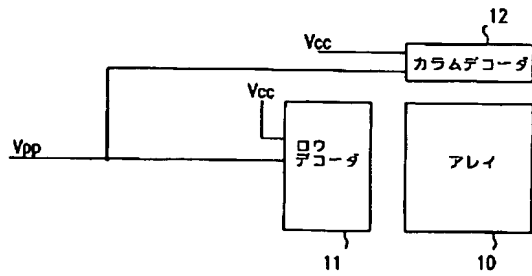
【図4】



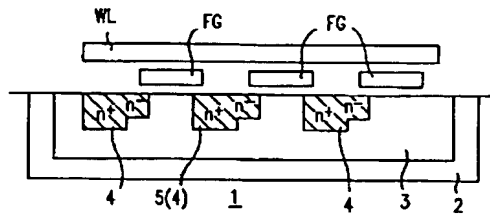
【図9】



【図5】

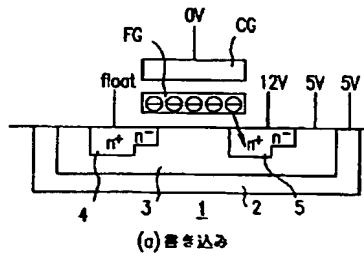


【図7】

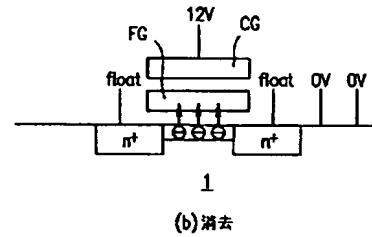
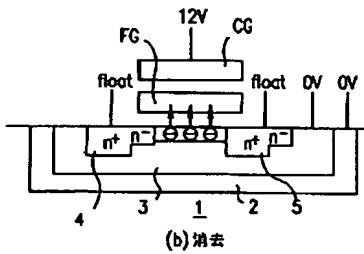
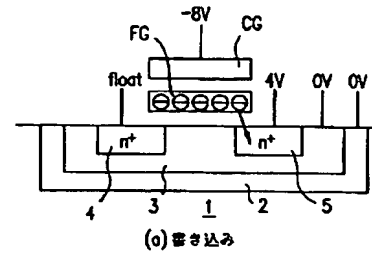
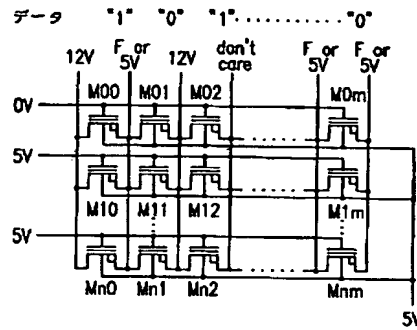


【図13】

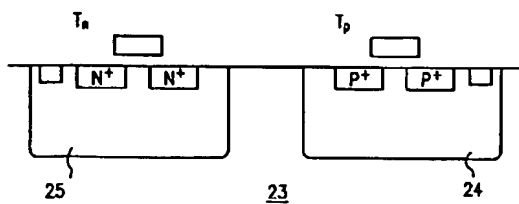
【図8】



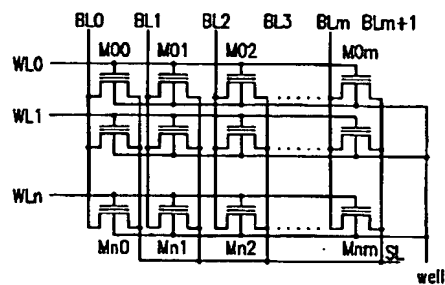
【図10】



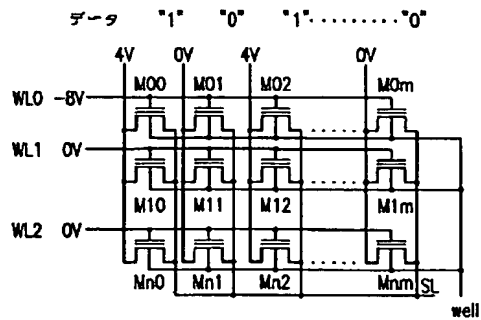
【図11】



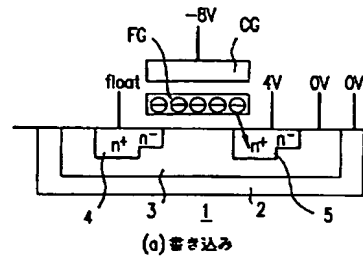
【図14】



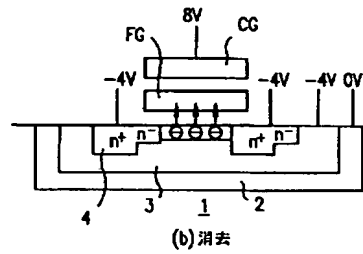
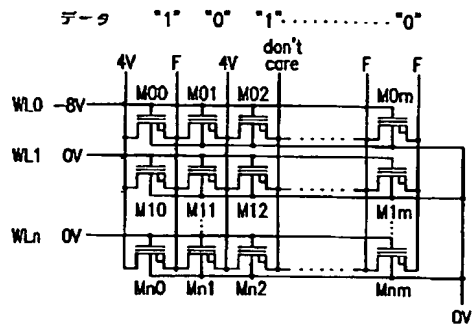
【図 15】



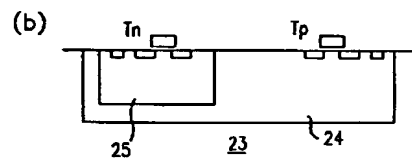
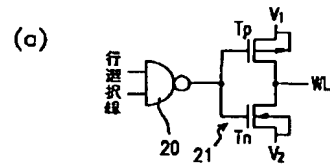
【図 16】



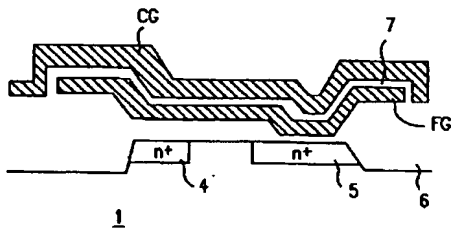
【図 17】



【図 18】



【図 19】



【図 20】

